

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-345433

(P2001-345433A)

(43)公開日 平成13年12月14日(2001.12.14)

(51)Int.Cl.⁷

H 0 1 L 27/108
21/8242

識別記号

F I

H 0 1 L 27/10

テ-マコ-ト(参考)

6 2 5 A 5 F 0 8 3

審査請求 未請求 請求項の数12 O L (全 16 頁)

(21)出願番号 特願2000-164953(P2000-164953)

(22)出願日 平成12年6月1日(2000.6.1)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 梶山 健

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74)代理人 100092820

弁理士 伊丹 勝

Fターム(参考) 5F083 AD17 GA06 LA12 LA21 MA03

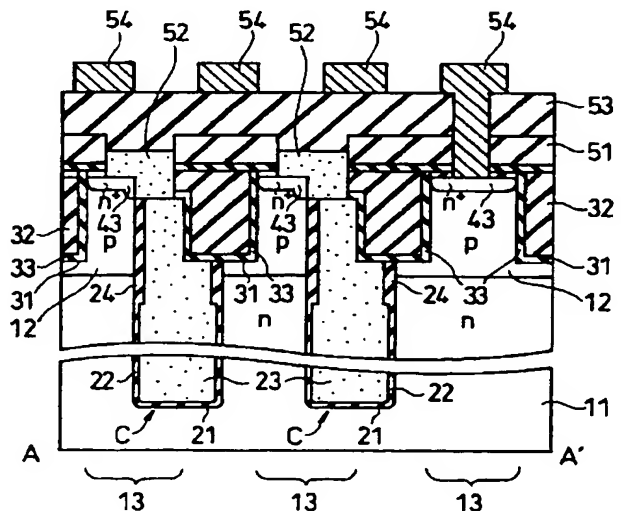
NA01 PR03 PR07 PR21 PR39

(54)【発明の名称】 半導体集積回路装置及びその製造方法

(57)【要約】

【課題】 トレンチキャパシタのノードとトランジスタ拡散層を接続する埋め込みコンタクト層を微小なコンタクト面積に確実に形成する。

【解決手段】 シリコン基板11にトレンチキャパシタCを埋め込み形成する。素子形成領域13を区画するように素子分離溝31を形成し、素子分離溝31の内面から素子分離溝31に接するキャパシタノード23上にまたがってシリコン窒化膜33を形成した後、一部がトレンチキャパシタ領域を覆うように素子分離絶縁膜32を埋め込む。ソース、ドレイン拡散層43の一方を共有しゲート電極が一方に連続するワード線となるようにトランジスタを形成し、その表面をBPSG膜51で平坦化する。ソース、ドレイン拡散層の他方の表面から対応するトレンチキャパシタのキャパシタノード表面にまたがるようにコンタクト開口を形成して、ゲート電極に自己整合された埋め込みコンタクト層52を形成する



1

【特許請求の範囲】

【請求項 1】 半導体基板と、

この半導体基板に配列形成された複数のトレンチキャパシタと、

前記半導体基板に隣接する二つのトレンチキャパシタにまたがる素子形成領域を区画するように形成された素子分離溝と、

この素子分離溝に埋め込まれ且つ、一部が前記トレンチキャパシタ領域を覆うように形成された素子分離絶縁膜と、

前記素子形成領域に、ソース、ドレイン拡散層の一方を共有しゲート電極が一方向に連続するワード線となるように形成されたトランジスタと、

前記トランジスタが形成された面を平坦化する平坦化絶縁膜と、

前記平坦化絶縁膜に前記ソース、ドレイン拡散層の他方の表面から対応するトレンチキャパシタのキャパシタノード表面にまたがるように形成されたコンタクト開口に前記ゲート電極に自己整合されて埋め込まれた埋め込みコンタクト層と、

前記素子分離溝に埋め込まれると共に前記キャパシタノードとこの上に配設される前記ゲート電極と間に介在するように形成される前記素子分離絶縁膜の底部に配置された、前記素子分離絶縁膜とは異種材料からなる保護絶縁膜とを有することを特徴とする半導体集積回路装置。

【請求項 2】 前記保護絶縁膜は、前記キャパシタノードの側壁に形成されるカラー絶縁膜の上端面を覆って形成されていることを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 3】 前記素子分離溝は、前記トレンチキャパシタの領域を迂回してトレンチキャパシタに自己整合的に形成されていることを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 4】 半導体基板に複数のトレンチキャパシタを埋め込み形成する工程と、

前記トレンチキャパシタが形成された半導体基板に隣接する二つのトレンチキャパシタにまたがる素子形成領域を区画するように素子分離溝を形成する工程と、

前記素子分離溝の内面から素子分離溝に接するトレンチキャパシタのキャパシタノード上にまたがって保護絶縁膜を形成する工程と、

前記素子分離溝に一部が前記トレンチキャパシタ領域を覆うように前記保護絶縁膜とは異種材料からなる素子分離絶縁膜を埋め込む工程と、

前記素子形成領域に、ソース、ドレイン拡散層の一方を共有しゲート電極が一方向に連続するワード線となるようにトランジスタを形成する工程と、

前記トランジスタが形成された面を平坦化する平坦化絶縁膜を形成する工程と、

前記平坦化絶縁膜に前記ソース、ドレイン拡散層の他方

2

の表面から対応するトレンチキャパシタのキャパシタノード表面にまたがるようにコンタクト開口を形成して、前記ゲート電極に自己整合された埋め込みコンタクト層を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項 5】 前記平坦化絶縁膜の下地に、前記コンタクト開口形成時のエッチングストッパとなるエッチングストッパ膜を形成する工程を有することを特徴とする請求項 4 記載の半導体集積回路装置の製造方法。

10 【請求項 6】 前記保護絶縁膜は、前記トレンチキャパシタと素子形成領域が接する位置で前記キャパシタノードの周囲に埋め込まれているカラー絶縁膜の上端部を覆うように形成されることを特徴とする請求項 4 記載の半導体集積回路装置の製造方法。

【請求項 7】 前記素子分離溝は、前記トレンチキャパシタの領域を横切ってキャパシタノードの一部を削るように前記半導体基板に形成されることを特徴とする請求項 4 記載の半導体集積回路の製造方法。

20 【請求項 8】 前記素子分離溝は、前記トレンチキャパシタの領域に自己整合されてキャパシタノードを削らないように前記半導体基板に形成されることを特徴とする請求項 4 記載の半導体集積回路装置の製造方法。

【請求項 9】 半導体基板に第 1 のシリコン窒化膜と第 1 のシリコン酸化膜の積層膜をマスクとしてキャパシタノード埋め込み用の複数のトレンチを形成する工程と、前記各トレンチに、上部側面にカラー絶縁膜が形成された状態でキャパシタノードを埋め込み形成する工程と、前記キャパシタノードが形成された半導体基板に隣接する二つのキャパシタノードにまたがる素子形成領域を区画するように素子分離溝を形成する工程と、前記素子分離溝の内面から素子分離溝に接するキャパシタノード上にまたがって第 2 のシリコン窒化膜を堆積する工程と、

前記素子分離溝に一部が前記キャパシタノードを覆うように第 2 のシリコン酸化膜を埋め込む工程と、

前記素子形成領域に、ソース、ドレイン拡散層の一方を共有しゲート電極が一方向に連続するワード線となるようにトランジスタを形成する工程と、

前記トランジスタが形成された面を第 3 のシリコン酸化膜を堆積して平坦化する工程と、

前記第 3 のシリコン酸化膜に前記ソース、ドレイン拡散層の他方の表面から対応するキャパシタノード表面にまたがるようにコンタクト開口を形成して、前記ゲート電極に自己整合された埋め込みコンタクト層を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項 10】 前記素子分離溝を形成した後、前記第 2 のシリコン窒化膜を堆積する前に、前記第 1 のシリコン窒化膜を一部エッチングする工程を有することを特徴とする請求項 9 記載の半導体集積回路装置の製造方法。

3

【請求項11】 前記キャパシタノードを埋め込み形成した後、前記素子分離溝を形成する前に、第4のシリコン酸化膜を堆積する工程と、素子分離溝形成用のレジスタマスクを形成して前記第1のシリコン窒化膜が露出するまで前記第4のシリコン酸化膜をエッチングする工程と、露出した第1のシリコン窒化膜を選択的にエッチングする工程とを有することを特徴とする請求項9記載の半導体集積回路装置の製造方法。

【請求項12】 前記第2のシリコン酸化膜は、CVDによる埋め込み後に酸化種を含む雰囲気中でアニールすることを特徴とする請求項9記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、トレンチキャパシタを有し、且つ素子分離溝に絶縁膜を埋め込む素子分離構造を有するDRAMセルアレイを集積してなる半導体集積回路装置とその製造方法に関する。

【0002】

【従来の技術】トレンチキャパシタを持つDRAMの高集積化構造として、図30のレイアウト及びそのA-A'断面である図31に示す構造のものが提案されている。シリコン基板にはまず、トレンチキャパシタCを配列形成する。その後、トレンチキャパシタCに一部重なり且つ二つのキャパシタCにまたがる素子形成領域を区画するように、素子分離溝1を加工してこれに素子分離絶縁膜2を埋め込む。この素子分離構造は、STI (Shallow Trench Isolation) 構造と呼ばれる。

【0003】その後、ワード線(WL)として連続するゲート電極3を形成し、ソース、ドレイン拡散層4を形成して、トランジスタQを形成する。トランジスタQの一方の拡散層4とキャパシタCのノード6を接続する埋め込みコンタクト層5は、図30に斜線で示したように、ワード線3の配列方向には、ワード線3に自己整合された状態で形成する。この埋め込みコンタクト層5には、不純物ドーパド結晶シリコンを用いる。このようなトランジスタQとキャパシタCの接続構造は、キャパシタCのノードとトランジスタ拡散層の間をそれらの表面にまたがるように形成されるため、表面ストラップ(Surface Strap、以下SSと略称する)構造と呼ばれる。

【0004】

【発明が解決しようとする課題】上述したSS構造のトレンチDRAMにおいて、小さいコンタクト面積で埋め込みコンタクト層5を確実に形成するには、このコンタクト層5を埋め込む前のRIEによる酸化膜エッチング工程で、キャパシタCのノード6及びトランジスタ拡散層4の表面を確実に露出させることが必要である。しかし、キャパシタノード6上の微小なコンタクト開口を覆

4

うシリコン酸化膜の膜厚にばらつきがあり、これを確実に除去するためにオーバーエッチングを行うと、キャパシタCの上部に素子形成領域との分離のための形成されるシリコン酸化膜からなるカラー絶縁膜7の上部が図31に示したように大きく後退する。

【0005】この様にカラー絶縁膜7の上部が後退すると、素子分離特性の劣化、ウェルの深い部分での接合リークの増大、トランジスタのオフ時のリーク電流の増大、トレンチキャパシタの側壁での縦方向リークの増大、といった種々の問題が発生する。例えば図31の断面では、カラー絶縁膜7が削られた箇所に埋め込みコンタクト層5が入り込み、埋め込みコンタクト層5からの不純物拡散によって、トランジスタ拡散層4に連続するn型拡散層4aが深く形成される様子を示している。素子分離後に形成されるp型ウェル8のボロン濃度は、通常図31に示したように内部にピークを持つように形成される。カラー絶縁膜7が削られた箇所に形成されるn型拡散層4aがp型ウェル8の高濃度領域にまで深く形成されると、そのPN接合リークは大きいものとなる。図31の断面にはないが、埋め込みコンタクト層領域でキャパシタCと素子分離絶縁膜2が接する部分では、素子分離絶縁膜が削られて埋め込みコンタクト層が侵入し、素子分離特性も劣化することになる。

【0006】また、素子分離絶縁膜2を狭い素子分離溝1にボイド等が形成されないように埋め込むためには、例えば素子分離絶縁膜1としてTEOSを用いたCVDによるシリコン酸化膜を用い、且つ埋め込み後にO₂雰囲気中でアニールを行うことが好ましい。しかしこの様なO₂アニールを行うと、素子分離絶縁1に接するキャパシタノード6にまで酸素が供給されて、キャパシタノード6が酸化されてしまう。これは、素子分離幅の制御性の低下や酸化ストレスによる結晶欠陥の発生等、デバイスに大きな悪影響を及ぼす。

【0007】この発明は、上記事情を考慮してなされたもので、性能劣化を伴うことなく、トレンチキャパシタのノードとトランジスタ拡散層を接続する埋め込みコンタクト層を微小なコンタクト面積に確実に形成するようにしたDRAMセルアレイを持つ半導体集積回路装置とその製造方法を提供することを目的としている。

【0008】

【課題を解決するための手段】この発明にかかる半導体集積回路装置は、半導体基板と、この半導体基板に配列形成された複数のトレンチキャパシタと、前記半導体基板に隣接する二つのトレンチキャパシタにまたがる素子形成領域を区画するように形成された素子分離溝と、この素子分離溝に埋め込まれ且つ、一部が前記トレンチキャパシタ領域を覆うように形成された素子分離絶縁膜と、前記素子形成領域に、ソース、ドレイン拡散層の一方を共有しゲート電極が一方向に連続するワード線となるように形成されたトランジスタと、前記トランジスタ

5

が形成された面を平坦化する平坦化絶縁膜と、前記平坦化絶縁膜に前記ソース、ドレイン拡散層の他方の表面から対応するトレンチキャパシタのキャパシタノード表面にまたがるように形成されたコンタクト開口に前記ゲート電極に自己整合されて埋め込まれた埋め込みコンタクト層と、前記素子分離溝に埋め込まれると共に前記キャパシタノードとこの上に配設される前記ゲート電極と間に介在するように形成される前記素子分離絶縁膜の底部に配置された、前記素子分離絶縁膜とは異種材料からなる保護絶縁膜とを有することを特徴としている。

【0009】この発明によると、素子分離溝の底部からキャパシタノード上にまたがって、素子分離絶縁膜の下地となる保護絶縁膜を形成しているため、トレンチキャパシタ形成後の工程で、キャパシタノードとトランジスタ拡散層を接続する埋め込みコンタクトの形成に際して、コンタクト抵抗を増大させることなく、またオーバーエッチングによるセル接合リークが防止されて、高性能のトレンチDRAMセルアレイが得られる。

【0010】この発明に係る半導体集積回路装置の製造方法は、半導体基板に複数のトレンチキャパシタを埋め込み形成する工程と、前記トレンチキャパシタが形成された半導体基板に隣接する二つのトレンチキャパシタにまたがる素子形成領域を区画するように素子分離溝を形成する工程と、前記素子分離溝の内面から素子分離溝に接するトレンチキャパシタのキャパシタノード上にまたがって保護絶縁膜を形成する工程と、前記素子分離溝の一部が前記トレンチキャパシタ領域を覆うように前記保護絶縁膜とは異種材料からなる素子分離絶縁膜を埋め込む工程と、前記素子形成領域に、ソース、ドレイン拡散層の一方を共有しゲート電極が一方に連続するワード線となるようにトランジスタを形成する工程と、前記トランジスタが形成された面を平坦化する平坦化絶縁膜を形成する工程と、前記平坦化絶縁膜に前記ソース、ドレイン拡散層の他方の表面から対応するトレンチキャパシタのキャパシタノード表面にまたがるようにコンタクト開口を形成して、前記ゲート電極に自己整合された埋め込みコンタクト層を形成する工程とを有することを特徴とする。

【0011】この発明の製造方法によると、埋め込みコンタクト層形成のためのコンタクト開口を形成する工程で、キャパシタノードの周囲に埋め込まれているカラー絶縁膜の後退をもたらすことなく、SS構造を採用したDRAMの性能向上が図られる。また、素子分離絶縁膜の埋め込み性を向上させるために酸化種を含む雰囲気中でアニールする場合も、埋め込まれた素子分離絶縁膜と基板の接する部分が保護絶縁膜で保護され、酸化によってデバイス特性が劣化することがない。

【0012】この発明の方法において好ましくは、平坦化絶縁膜の下地に、コンタクト開口形成時のエッチングストoppaとなるエッチングストoppa膜を形成する工程を

6

有するものとする。また、保護絶縁膜は好ましくは、トレンチキャパシタと素子形成領域が接する位置でキャパシタノードの周囲に埋め込まれているカラー絶縁膜の上端部を覆うように形成されるものとする。更にこの発明において、素子分離溝は、トレンチキャパシタの領域を横切ってキャパシタノードの一部を削るように半導体基板に形成されるか、或いはトレンチキャパシタの領域に自己整合されてキャパシタノードを削らないように半導体基板に形成されるものとする。

10 【0013】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態を説明する。

【実施の形態1】図1はこの発明の一実施の形態によるDRAMのセルアレイ領域のレイアウトであり、図2A、図2B及び図2Cはそれぞれ、図1のA-A'、B-B'及びC-C'断面図である。図1に示すように、キャパシタCは、ワード線WLとなるゲート電極42のピッチを例えば2F（Fは最小加工寸法）として、略2Fの幅をもって、3Fの一定ピッチでワード線WLの配列方向に配列されている。

【0014】キャパシタCは、図2A及び図2Cに示すように、シリコン基板11に形成されたトレンチ21にキャパシタノード23を埋め込んで形成されたトレンチキャパシタである。トレンチ21の側壁にはキャパシタ絶縁膜22が形成されている。キャパシタCのトレンチ上部には、トランジスタ領域との分離のためのカラー絶縁膜24がシリコン酸化膜によって形成されている。

【0015】素子形成領域13は、略矩形パターンをなして、ワード線WLの配列方向に2本のワード線WLにまたがる範囲に、幅5F、ピッチ6Fで配列される。素子形成領域13を区画する素子分離領域は、STI構造を有する。即ち、図2A～図2Cに示すように、素子分離溝31が形成され、ここに素子分離絶縁膜としてシリコン酸化膜32が埋め込まれる。この実施の形態においては、素子分離絶縁膜32を埋め込む前に、素子分離溝31の面にシリコン窒化膜33が堆積形成されている。これは後に説明するように、キャパシタCとトランジスタQを接続する埋め込みコンタクト層52の形成工程において、トレンチキャパシタCを保護する保護絶縁膜となる。この保護絶縁膜としてのシリコン窒化膜32は、素子分離溝31の底部はもちろん、図2Cに示すようにキャパシタノード23を覆ってその上を走るゲート電極42との分離絶縁膜となる素子分離絶縁膜32の部分の底部にも形成されている。

【0016】図1に示すように、素子形成領域13とキャパシタCとは一部重なるように形成される。そしてこの重なり領域において、トランジスタQの拡散層43とキャパシタCのキャパシタノード層23の両表面にまたがるように、埋め込みコンタクト層52が形成される。埋め込みコンタクト層52は、ゲート電極42に自己整

50

7

合されて埋め込まれる。ビット線BLは、ワード線WLと交差して、二つのトランジスタQの共通ドレイン拡散層43にコンタクトさせて配設される。

【0017】この実施の形態のセルアレイの製造工程を、図3～図12を参照して具体的に次に説明する。図3～図12では、主要には図1のA-A'断面、即ち図2Aに対応する断面を示している。まず図3示すように、シリコン基板11に、熱酸化によるシリコン酸化膜101、CVDによるシリコン窒化膜102及び、TEOSを用いたCVDによるシリコン酸化膜（TEOS酸化膜）103の積層膜によるエッチングマスクをパターン形成する。このマスクを用いてシリコン基板11をRIEによりエッチングしてキャパシタ用のトレンチ21を形成する。

【0018】そして、よく知られた方法により、図4に示すように、トレンチ21の側面にキャパシタ絶縁膜22を形成して、トレンチ21内には多結晶シリコンによるキャパシタノード（ストレージノード）23を埋め込む。キャパシタノード23の面位置は、基板11の面位置より僅かに低いものとする。トレンチ21のキャパシタノード23が埋め込まれる範囲の上部には、50nm程度のシリコン酸化膜によるカラー絶縁膜24を形成する。従って実際には、キャパシタノード23の埋め込み工程は複数段階必要とする。

【0019】この後、図5に示すように、キャパシタノード23の上面に80nm程度のシリコン酸化膜105を形成し、キャパシタノード23が埋め込まれた範囲より上のトレンチ21の側壁にもカラー絶縁膜24の一部となる50nm程度のシリコン酸化膜を形成した状態で、リソグラフィにより素子分離溝加工用のレジスタパターン104を形成する。このレジスタパターン104を用いて基板をRIEによりエッチングして、素子分離溝31を形成する。この素子分離溝31の加工により基板11には、素子形成領域13が区画される。

【0020】続いて、RIEによるダメージ対策のために150nm程度のシリコン酸化膜（図示しない）を形成した後、図6に示すように、素子分離溝31を含む基板全面に、シリコン窒化膜33を10nm程度堆積する。このときシリコン窒化膜33は、素子分離溝31の内面からキャパシタノード23の上面を覆い、更にキャパシタノード23を取り囲むカラー絶縁膜24の側面からその上面を覆うように形成される。

【0021】その後、図7に示すように、素子分離溝31内に素子分離絶縁膜としてTEOSを用いたCVDによるシリコン酸化膜（TEOS酸化膜）32を埋め込む。TEOS酸化膜32は、図7に示すように、キャパシタノード23の上にも被さるように埋め込まれる。具体的にはTEOS酸化膜を堆積し、これを平坦化処理する。またTEOS酸化膜32の埋め込み後、埋め込み性を向上させるために酸化種を含む雰囲気、例えばO₂雰

8

囲気中でのアニールを行う。このO₂雰囲気中でのアニールによって、TEOS酸化膜32は内部にボイド等が残らない緻密な状態で埋め込まれる。そしてこのアニール時、キャパシタノード23を覆うように配置されたシリコン窒化膜33が保護膜となって、キャパシタノード23の表面の酸化が防止される。

【0022】次に、図7に示すように、イオン注入によりセルアレイ領域にp型ウェル12を形成する。また必要に応じて、セルトランジスタのしきい値調整のためのチャンネルイオン注入を行う。続いて、トランジスタ形成工程に入る。即ち、素子形成領域にゲート絶縁膜41を形成した後、図8Aおよび図8Bに示すように、ゲート電極42をパターン形成する。図8AはA-A'断面であり、図8BはC-C'断面である。ゲート電極41は、多結晶シリコン膜にシリコン窒化膜105を積層した状態でパターン形成し、その後側壁絶縁膜としてシリコン窒化膜106を形成する。そしてイオン注入により、ソース、ドレイン拡散層43を形成する。

【0023】この後、図9A及び図9Bに示すように、その後のシリコン酸化膜エッチングのストップとなるシリコン窒化膜107を15nm程度堆積した後、ボロンとリンを含むシリコン酸化膜であるガラス膜（BPSG膜）51を堆積してリフロー処理によりゲート電極42が形成された凹凸面を平坦に埋め込む。

【0024】次に、トランジスタQの拡散層43とキャパシタCのキャパシタノード23の間を接続する工程を行う。即ち、図10A、図10B及び図10Cに示すように、BPSG膜51上にリソグラフィによりレジスタパターン201を形成する。このときレジスタパターン201の開口202は、図10Cの平面図に示すように、素子分離領域を挟んで隣接する二つの埋め込みコンタクト層形成領域にまたがるように形成する。実際には、後に説明するように、ゲート電極42の間にのみ、ゲート電極42に自己整合させて埋め込み配線用コンタクトが形成されることになる。

【0025】レジスタパターン201を用いてまず、BPSG膜51をエッチングして、埋め込み配線用のコンタクト孔を形成する。このとき、BPSG膜51のエッチングでは、シリコン窒化膜107がエッチングストップとなるから、オーバーエッチングができる。更にコンタクト孔に露出したシリコン窒化膜107をエッチング除去し、更にその下のキャパシタノード23の表面を覆うシリコン酸化膜32をエッチングする。これにより、図10A及び図10Bに示すように、トランジスタの拡散層43の表面が露出し、キャパシタノード23の表面はまだシリコン窒化膜33により覆われた状態が得られる。平坦部のシリコン窒化膜107が除去されても、ゲート電極42の側壁及び上面にはこれより厚いシリコン窒化膜106、105が形成されていて、ゲート電極42は露出しない。

9

【0026】そして、図11A及び図11Bに示すように、コンタクト孔に露出するシリコン窒化膜33をエッチングし、更にその下地にあるシリコン酸化膜（図では省略されている）をエッチングして、キャパシタノード23の表面を露出させる。以上のように、埋め込みコンタクトの開口は、上からBPSG膜-シリコン窒化膜-シリコン酸化膜-シリコン窒化膜-シリコン酸化膜の順にエッチングを行って形成される。このとき、厚いBPSG膜51のエッチングはシリコン窒化膜107をエッチングストップとして行われ、このエッチング工程がオーバーエッチングになっても、キャパシタCのカラー絶縁膜24がエッチングされることはない。キャパシタノード23を覆うシリコン酸化膜32のエッチング工程ではカラー絶縁膜24の上端面の後退が生じるが、その後退量は小さい。従って、図11Aに示すように、カラー絶縁膜24の後退が小さい状態で、キャパシタノード24の表面と拡散層43の表面を露出させることができる。

【0027】この後、図12A及び図12Bに示すように、不純物がドーパされた多結晶シリコンによる埋め込みコンタクト層52を形成する。この工程は、多結晶シリコンの堆積とエッチバックにより行われる。図1に斜線で示したように、埋め込みコンタクト層52は、ゲート電極42の間に自己整合された状態で、キャパシタノード23と拡散層42にまたがるように埋め込まれる。

【0028】この後は、図2A～図2Cに示すように層間絶縁膜53を堆積し、その上にビット線BLを形成する。ビット線BLのコンタクト形成の説明は省くが、これも図1に示すように隣接するゲート電極42の間に自己整合されて形成される。なおこのビット線BLとそのコンタクトには、層間絶縁膜53に配線溝とコンタクト孔を予め加工するダブルダマシーン法を適用することができる。

【0029】以上のようにこの実施の形態によると、STI構造の素子分離溝にはシリコン窒化膜を堆積してからシリコン酸化膜の埋め込みを行い、更にゲート電極パターンニング後も、シリコン窒化膜を堆積した後、BPSG膜堆積を行っている。従って、SS構造の埋め込みコンタクト開口形成時、キャパシタ側壁のカラー絶縁膜をそれほど後退させることなく、BPSG膜やシリコン酸化膜エッチング工程でのオーバーエッチングが可能になる。これにより、性能劣化を伴うことなく、微小面積での確実なSS構造を得ることができる。また、キャパシタノード23上にあるシリコン窒化膜33はキャパシタノード23の表面が酸化されるのを防止する酸化ブロックとなるから、素子分離溝31にTEOS酸化膜32を埋め込んだ後のO₂雰囲気中でのアニールが可能になる。これにより、狭い素子分離溝に、ボイド等が残らない状態で酸化膜を埋め込むことが可能になる。

【0030】〔実施の形態2〕上の実施の形態では、S

10

S構造のコンタクト開口の工程で、素子分離領域からキャパシタノード23の表面を覆うように埋め込み形成されるシリコン酸化膜32をエッチングする際にカラー絶縁膜24の後退が生じる。このカラー絶縁膜24の後退を確実に防止するようにした実施の形態を次に説明する。

【0031】図13～図16はその様な実施の形態の主要工程を、先の実施の形態と同じ図1のレイアウトのA-A'断面について示している。先の実施の形態で素子分離溝形成を行う図5の工程までは、この実施の形態でも同じである。素子分離溝31を形成した後、図13に示すように、素子分離加工のマスクに用いたシリコン窒化膜102を等方的に数10nmエッチングする。これにより、図13に示すように、シリコン窒化膜102はその下のシリコン基板11を部分的に覆った状態になる。

【0032】この状態で次に、先の実施の形態と同様に、図14に示すようにシリコン窒化膜33を堆積する。これによりシリコン窒化膜33は、キャパシタノード23の上面を覆い、更にカラー絶縁膜24の側面から上端面までを覆うように形成される。以下、先の実施の形態と同様に素子分離絶縁膜の埋め込み、続いてトランジスタ形成工程を行う。そして、BPSG膜51により平坦化した後、レジスタパターン201を形成して埋め込みコンタクト層用コンタクト形成を行うと、図15のようになる。この断面は先の実施の形態の図10Aに対応する。図10Aと比較して明らかなように、この実施の形態の場合シリコン窒化膜33がカラー絶縁膜24の上端面を覆っているために、酸化膜エッチングの工程でカラー絶縁膜24の上端面の後退は全く生じない。

【0033】この後、シリコン窒化膜33をエッチングすると、図16に示すように、キャパシタノード23と拡散層43を露出させることができる。図16は先の実施の形態の図11Aに相当する。両者を比較して明らかなように、この実施の形態の場合拡散層43が形成されたシリコン層側壁に沿って、カラー絶縁膜24がほぼ確実に残される。なおカラー絶縁膜24の上端面を覆って形成されたシリコン窒化膜33は、図16に示すコンタクト開口では除去されるが、コンタクト開口以外の部分ではカラー絶縁膜24を覆ったまま残される。以下、図示しないが先の実施の形態と同様の工程をとる。

【0034】以上のようにこの実施の形態によると、キャパシタトレンチ31の上部側壁に形成されるカラー絶縁膜24の上端面がシリコン窒化膜33によりカバーされるようにしている。従って、キャパシタノードとトランジスタ拡散層を接続する埋め込み配線のためのコンタクト開口時に、オーバーエッチングを行ってもカラー絶縁膜24の後退が確実に防止される。

【0035】〔実施の形態3〕トレンチキャパシタを用いたDRAMにおいて、SS構造を採用する場合に、マ

11

スク合わせずれ等によりキャパシタノード上の埋め込みコンタクトの面積を確保することが難しい。埋め込みコンタクト層のコンタクト面積を大きく確保するために、トレンチキャパシタ領域に素子分離溝がオーバーラップしないようなプロセスを用いることが望ましい。そこで、素子分離溝をトレンチキャパシタ領域に重ならないように自己整合的に形成するプロセスを適用した実施の形態を次に説明する。

【0036】図17～図27はその様な実施の形態の製造工程断面図である。DRAMセルアレイのレイアウトは基本的に図1と同じである。この実施の形態において、トレンチキャパシタを埋め込み形成するまでは、先の実施の形態の図3及び図4で説明した工程と同じである。図4に示すようにキャパシタを形成した後、この実施の形態では図17に示すように、ボロンがドーパされたシリコン酸化膜であるガラス膜（BSG膜）301を全面に堆積して平坦化する。

【0037】次いで、通常のリソグラフィ工程により、図18に示すように素子分離溝形成用のレジストマスク302をパターン形成する。そしてこのレジストマスク302を用いて（BSG膜301を、シリコン窒化膜102が露出するまでエッチングする。このエッチング工程は、シリコン窒化膜102が露出したところで止め、図18に示すように、キャパシタノード23の上はBSG膜301で覆われた状態に保つ。

【0038】そして、図19に示すように、BSG膜301をマスクとして露出したシリコン窒化膜102を選択的にエッチングする。続いて、シリコン基板11をRIEにより所定の深さエッチングして、図20に示すように素子分離溝31を形成する。これによりトレンチキャパシタ領域は削られることなく、素子分離溝31は、トレンチキャパシタ領域と自己整合的に形成される。即ち、素子分離溝31は、トレンチキャパシタ領域を横切ることなく、迂回して形成される。

【0039】この後、BSG膜301をエッチング除去して、図21に示すように、キャパシタノード23及び素子分離溝31の面を露出させる。続いて、RIEによるダメージ対策のために150nm程度のシリコン酸化膜（図示しない）を形成した後、図22に示すように、素子分離溝31を含む基板全面に、シリコン窒化膜33を10nm程度堆積する。このときシリコン窒化膜33は、キャパシタノード23の側面から上面を覆うように形成される。

【0040】その後、図23に示すように、素子分離溝31内に素子分離絶縁膜としてTEOS酸化膜32を埋め込む。具体的にはTEOS酸化膜を堆積し、これを平坦化処理する。TEOS酸化膜32の埋め込み後、埋め込み性を向上させるためのO₂雰囲気中でのアニールを行う。TEOS酸化膜32は、図23に示すように、キャパシタノード23の上にも被さるように埋め込まれる。

12

【0041】次に、図23に示すように、イオン注入によりセルアレイ領域にp型ウェル12を形成する。また必要に応じて、セルトランジスタのしきい値調整のためのチャンネルイオン注入を行う。続いて、トランジスタ形成工程に入る。即ち、素子形成領域にゲート絶縁膜41を形成した後、図24Aおよび図24Bに示すように、ゲート電極42をパターン形成する。図24AはA-A'断面であり、図24BはC-C'断面である。ゲート電極41は、多結晶シリコン膜にシリコン窒化膜105を積層した状態でパターン形成し、その後側壁絶縁膜としてシリコン窒化膜106を形成する。そしてイオン注入により、ソース、ドレイン拡散層43を形成する。

【0042】この後、図25A及び図25Bに示すように、その後のシリコン酸化膜エッチングのストップとなるシリコン窒化膜107を15nm程度堆積し、BPSG膜51を堆積してリフロー処理によりゲート電極42が形成された凹凸面を平坦に埋め込む。

【0043】次に、トランジスタQの拡散層43とキャパシタCのキャパシタノード23の間を接続する工程を行う。即ち、図26A及び図26Bに示すように、BPSG膜51上にリソグラフィによりレジスタパターン201を形成する。このときレジスタパターン201の開口202は、素子分離領域を挟んで隣接する二つの埋め込みコンタクト層形成領域にまたがるように形成する。実際には、後に説明するように、ゲート電極42の間のみ、ゲート電極42に自己整合させて埋め込み配線用コンタクトが形成されることになる。

【0044】レジスタパターン201を用いてまず、BPSG膜51をエッチングして、埋め込み配線用のコンタクト孔を形成する。このとき、BPSG膜51のエッチングでは、シリコン窒化膜107がエッチングストップとなるから、オーバーエッチングができる。更にコンタクト孔に露出したシリコン窒化膜107をエッチング除去し、更にその下のキャパシタノード23の表面を覆うシリコン酸化膜32をエッチングする。これにより、図26A及び図26Bに示すように、トランジスタの拡散層43の表面が露出し、キャパシタノード23の表面はまだシリコン窒化膜33により覆われた状態が得られる。平坦部のシリコン窒化膜107が除去されても、ゲート電極42の側壁及び上面にはこれより厚いシリコン窒化膜106、105が形成されていて、ゲート電極42は露出しない。

【0045】そして、コンタクト孔に露出するシリコン窒化膜33をエッチングし、更にその下地にあるシリコン酸化膜（図では省略されている）をエッチングして、キャパシタノード23の表面を露出させた後、図27A及び図27Bに示すように、多結晶シリコンによる埋め込みコンタクト層52を形成する。この工程は、多結晶シリコンの堆積とエッチバックにより行われ、埋め込みコンタクト層52は、ゲート電極42の間に自己整合さ

13

れた状態で、キャパシタノード 23 と拡散層 42 にまたがるように形成される。

【0046】従ってこの実施の形態の場合も、埋め込み配線コンタクトの開口は、上から BPSG 膜—シリコン窒化膜—シリコン酸化膜—シリコン窒化膜—シリコン酸化膜の順にエッチングを行って形成される。このとき、厚い BPSG 膜 51 のエッチングはシリコン窒化膜 107 をエッチングストップとして行われ、このエッチング工程がオーバーエッチングになっても、キャパシタノード 23 を覆うシリコン酸化膜 32 のエッチング工程ではカラー絶縁膜 24 の上端面の後退が生じるが、その後退量は小さい。従って、図 27A に示すように、カラー絶縁膜 24 の後退が小さい状態で、キャパシタノード 23 の表面と拡散層 43 の表面にまたがる埋め込みコンタクト層 52 を形成することができる。

【0047】以上のようにこの実施の形態によると、素子分離絶縁膜をトレンチキャパシタと重ならないように埋め込むことができ、トランジスタ拡散層と接続するキャパシタノードの面積を大きく確保することができる。またこの実施の形態においても、先の実施の形態と同様に、STI 構造の素子分離溝にはシリコン窒化膜を堆積してからシリコン酸化膜の埋め込みを行い、更にゲート電極パターンニング後も、シリコン窒化膜を堆積した後、BPSG 膜堆積を行っている。従って、SS 構造の埋め込み配線用のコンタクト開口形成時、キャパシタ側壁のカラー絶縁膜をそれほど後退させることなく、BPSG 膜やシリコン酸化膜エッチング工程でのオーバーエッチングが可能になる。これにより、性能劣化を伴うことなく、微小面積での確実な SS 構造を得ることができる。

【0048】また、シリコン窒化膜 33 が酸化防止のブロックとなり、素子分離溝 31 に TEOS 酸化膜 32 を埋め込んだ後の O₂ 雰囲気中でのアニールが可能になる。この実施の形態の場合、先の実施の形態に比べて素子分離溝は狭くなるから、ここに埋め込む素子分離絶縁膜にはボイドが発生しやすい。しかしこの実施の形態によれば、ボイド等が残らない状態で酸化膜を埋め込むことが可能になる。

【0049】なおこの実施の形態においても、実施の形態 2 で説明したと同様の工程を利用して、素子分離溝 31 の底部からキャパシタノード 23 上に形成されるシリコン窒化膜 32 を、キャパシタノード 23 の周囲に埋め込まれているカラー絶縁膜 24 の上端部を覆うように形成することが好ましい。これにより、カラー絶縁膜 24 の上端部の後退が確実に防止される。

【0050】【実施の形態 3】図 28 は、この発明の別の実施の形態による DRAM のレイアウトであり、図 29 はその A-A' 断面図である。先の実施の形態と対応する部分には先の実施の形態と同じ符号を付して詳細な説明は省く。この実施の形態の場合、矩形的素子形成領

14

域 13 は、ワード線の配列方向には 8F ピッチで、且つワード線方向に隣接する素子形成領域は順次 1/2 ピッチずつずれた状態に配置されている。単位セル面積は図 1 のレイアウトより大きい。

【0051】この様なレイアウトの場合にも、先の実施の形態 1 と同様の工程に従って、図 29 に示すように素子分離溝 31 の埋め込み前に、素子分離溝 31 の面及びキャパシタノード 23 を覆うようにシリコン窒化膜 33 を形成することにより、実施の形態 1 と同様の効果が得られる。また、この素子レイアウトの場合に、実施の形態 2 と同様に、カラー絶縁膜 24 の上端面を覆うようにシリコン窒化膜 33 を形成すること、実施の形態 3 と同様に素子分離溝 31 をトレンチキャパシタ領域を迂回してトレンチキャパシタ領域に自己整合的に形成することも有効である。

【0052】

【発明の効果】以上述べたようにこの発明によれば、性能劣化を伴うことなく、トレンチキャパシタのノードとトランジスタ拡散層を接続する埋め込みコンタクト層を微小なコンタクト面積に確実に形成するようにした DRAM セルアレイを得ることができる。

【図面の簡単な説明】

【図 1】この発明の実施の形態による DRAM セルアレイのレイアウトを示す図である。

【図 2A】図 1 の A-A' 断面図である。

【図 2B】図 1 の B-B' 断面図である。

【図 2C】図 1 の C-C' 断面図である。

【図 3】同実施の形態のキャパシタ用トレンチ形成工程を示す断面図である。

【図 4】同実施の形態のキャパシタノード埋め込み工程を示す断面図である。

【図 5】同実施の形態の素子分離溝形成工程を示す断面図である。

【図 6】同実施の形態の素子分離溝埋め込み前の処理工程を示す断面図である。

【図 7】同実施の形態の素子分離溝埋め込み工程を示す断面図である。

【図 8A】同実施の形態のトランジスタ形成工程を示す断面図である。

【図 8B】同トランジスタ形成工程の別の断面図である。

【図 9A】同実施の形態のトランジスタ形成後の平坦化工程を示す断面図である。

【図 9B】同平坦化工程の別の断面図である。

【図 10A】同実施の形態の埋め込み配線用コンタクト開口の工程を示す断面図である。

【図 10B】同埋め込み配線用コンタクト開口の工程を示す別の断面図である。

【図 10C】同埋め込み配線用コンタクト開口の工程を示す平面図である。

15

【図 1 1 A】同実施の形態の埋め込み配線用コンタクト開口の工程を示す断面図である。

【図 1 1 B】同埋め込み配線用コンタクト開口の工程を示す別の断面図である。

【図 1 2 A】同実施の形態の埋め込みコンタクト層の形成工程を示す断面図である。

【図 1 2 B】同埋め込みコンタクト層形成工程を示す別の断面図である。

【図 1 3】別の実施の形態による素子分離溝形成工程を示す断面図である。

【図 1 4】同実施の形態の素子分離絶縁膜埋め込み前の処理工程を示す断面図である。

【図 1 5】同実施の形態の埋め込み配線用コンタクト開口の工程を示す断面図である。

【図 1 6】同実施の形態の埋め込み配線用コンタクト開口の工程を示す断面図である。

【図 1 7】別の実施の形態によるキャパシタノード埋め込み後の工程を示す断面図である。

【図 1 8】同実施の形態の素子分離溝形成用リソグラフィ工程を示す断面図である。

【図 1 9】同実施の形態のシリコン窒化膜エッチングの工程を示す断面図である。

【図 2 0】同実施の形態の素子分離溝形成工程を示す断面図である。

【図 2 1】同実施の形態の酸化膜エッチング工程を示す断面図である。

【図 2 2】同実施の形態の素子分離溝埋め込み前の処理工程を示す断面図である。

【図 2 3】同実施の形態の素子分離絶縁膜埋め込み工程を示す断面図である。

10

* 【図 2 4 A】同実施の形態のトランジスタ形成工程を示す断面図である。

【図 2 4 B】同トランジスタ形成工程の別の断面図である。

【図 2 5 A】同実施の形態のトランジスタ形成後の平坦化工程を示す断面図である。

【図 2 5 B】同平坦化工程の別の断面図である。

【図 2 6 A】同実施の形態の埋め込み配線用コンタクト開口の工程を示す断面図である。

【図 2 6 B】同埋め込み配線用コンタクト開口の工程を示す別の断面図である。

【図 2 7 A】同実施の形態の埋め込みコンタクト層の形成工程を示す断面図である。

【図 2 7 B】同埋め込みコンタクト層形成工程を示す別の断面図である。

【図 2 8】他の実施の形態による DRAM のセルアレイのレイアウトを示す図である。

【図 2 9】図 2 8 の A-A' 断面図である。

20

【図 3 0】SS 構造を採用したトレンチキャパシタ DRAM のセルアレイを示すレイアウトである。

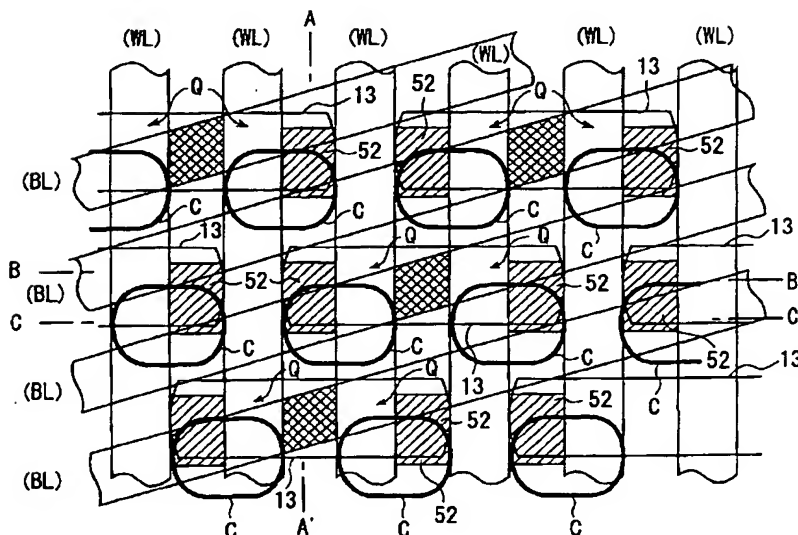
【図 3 1】図 3 0 の A-A' 断面図である。

【符号の説明】

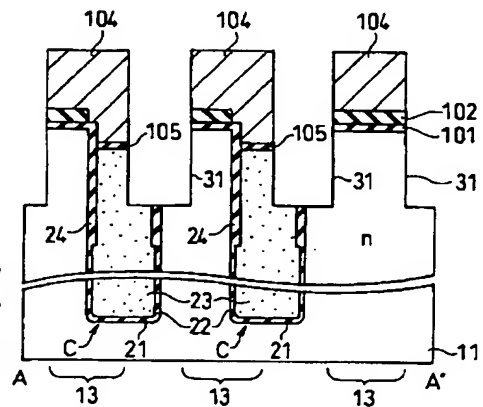
1 1 …シリコン基板、2 1 …キャパシタ用トレンチ、2 2 …キャパシタ絶縁膜、2 3 …キャパシタノード、2 4 …カラー絶縁膜、3 1 …素子分離溝、3 2 …素子分離絶縁膜、3 3 …シリコン窒化膜、4 1 …ゲート絶縁膜、4 2 …ゲート電極（ワード線）、4 3 …拡散層、5 1 …BPSG 膜、5 2 …埋め込みコンタクト層、5 3 …層間絶縁膜、5 4 …ビット線。

* 30

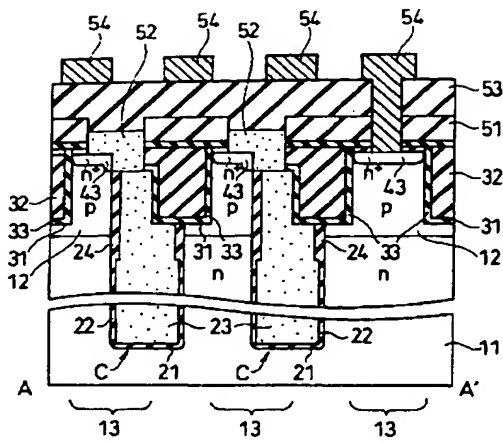
【図 1】



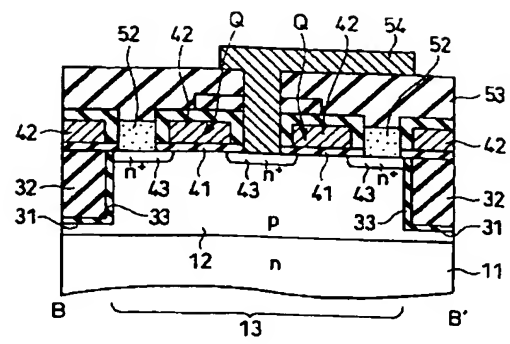
【図 5】



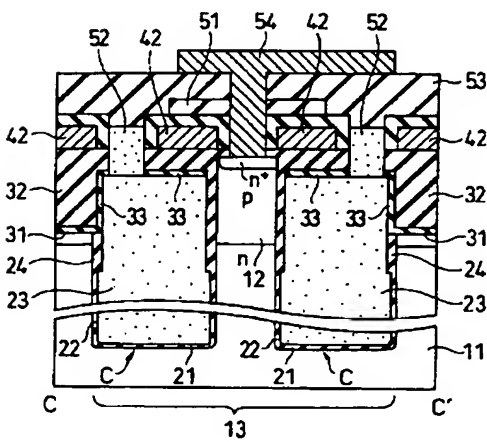
【図 2 A】



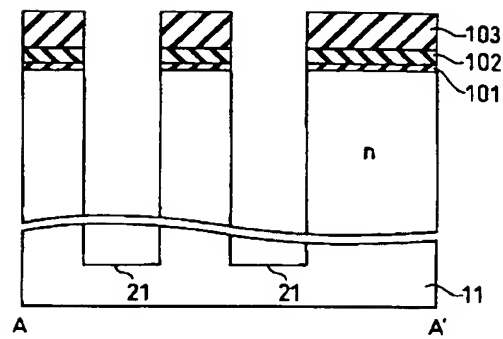
【図 2 B】



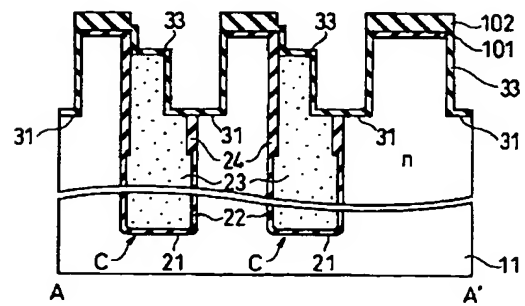
【図 2 C】



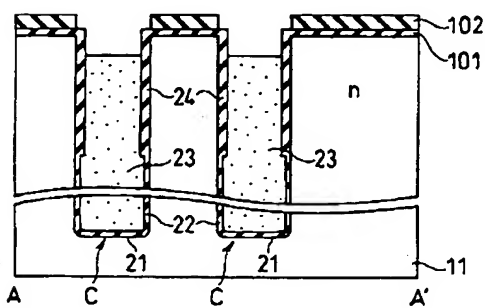
【図 3】



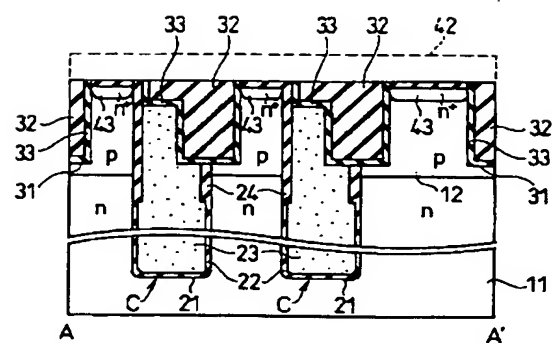
【図 6】



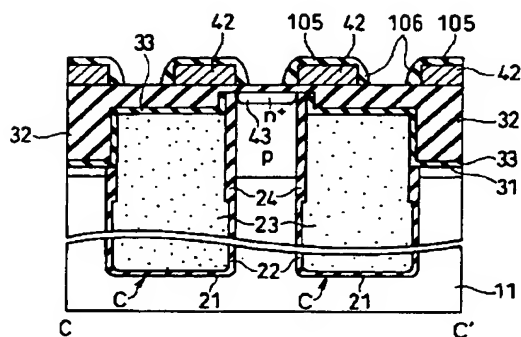
【図 4】



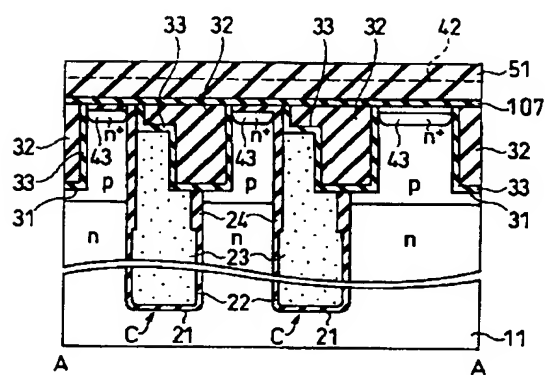
【図 8 A】



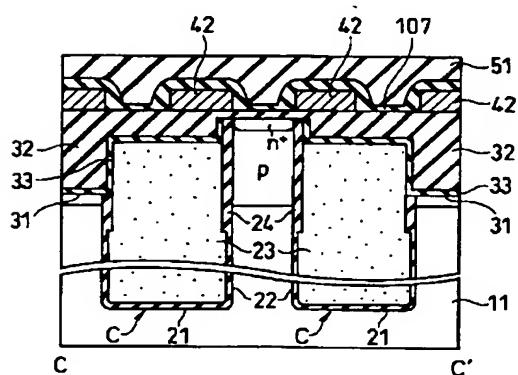
【図 8 B】



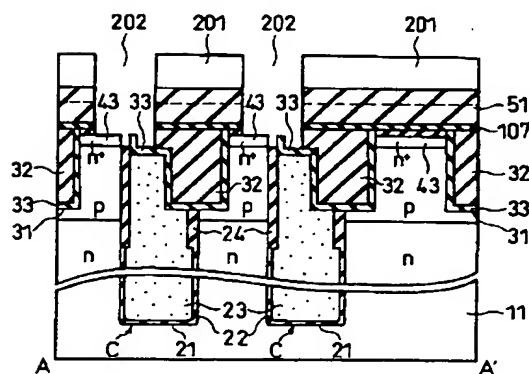
【図 9 A】



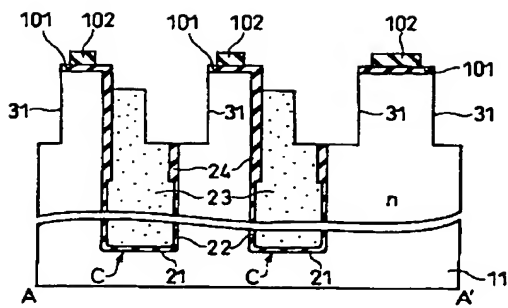
【図 9 B】



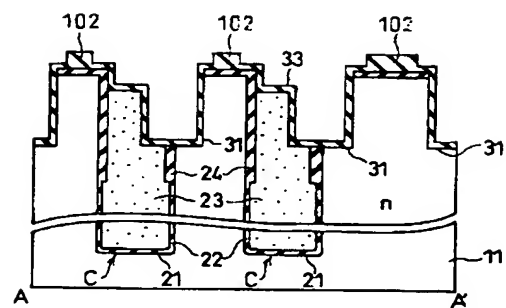
【図 10 A】



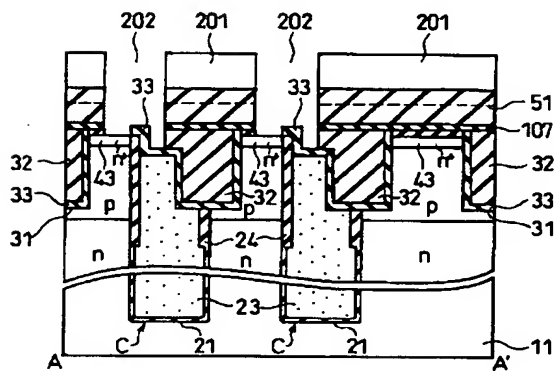
【図13】



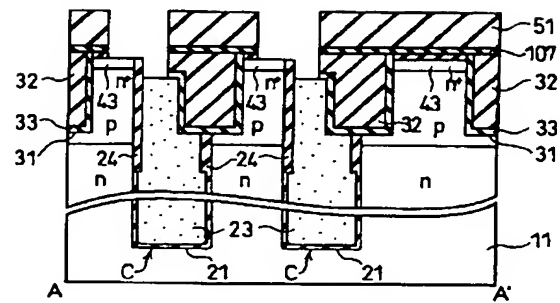
【図14】



【図15】

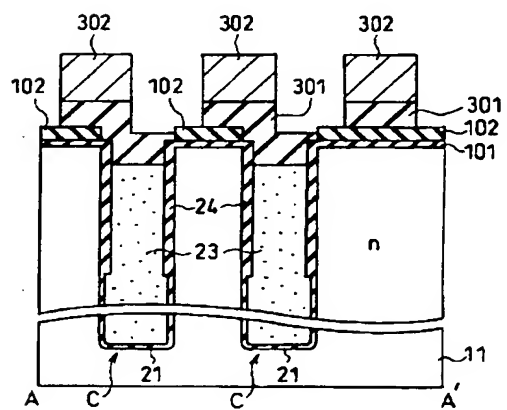
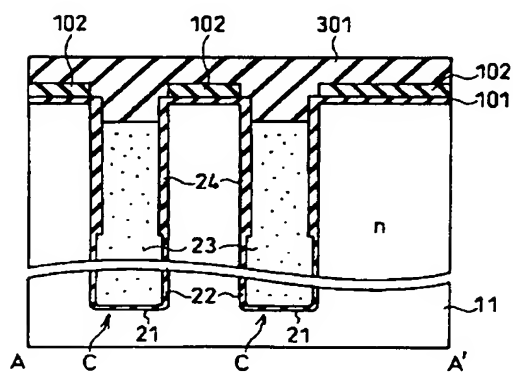


【図16】

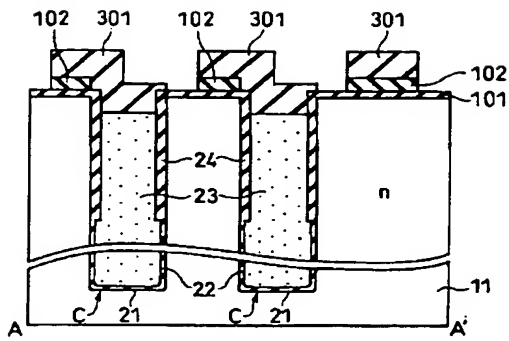


【図18】

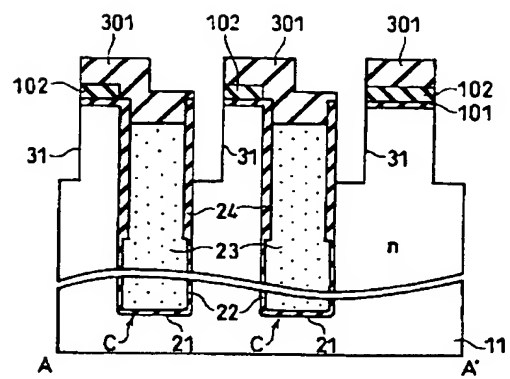
【図17】



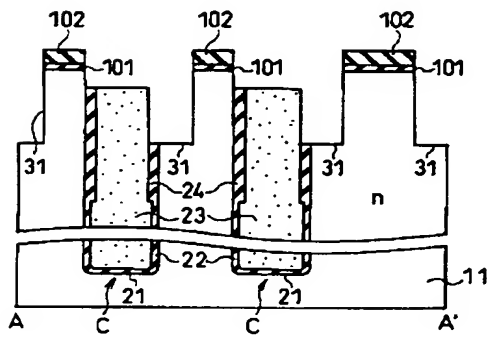
【図 19】



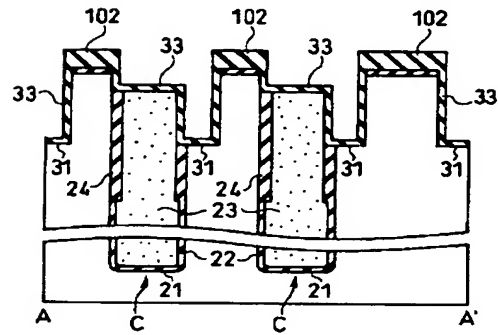
【図 20】



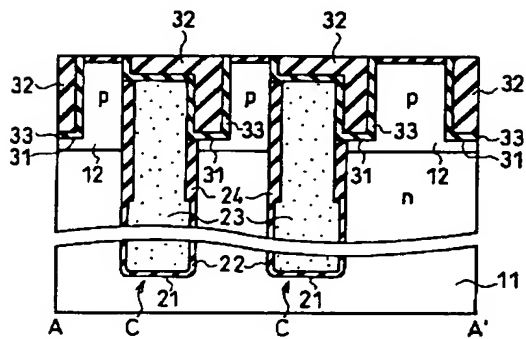
【図 21】



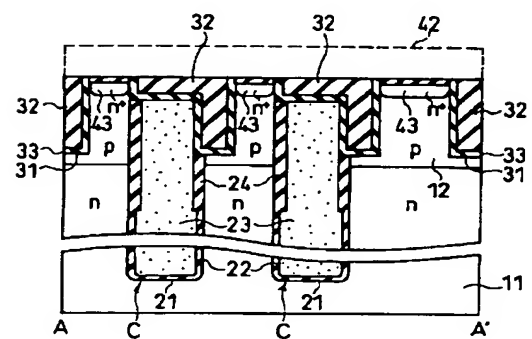
【図 22】



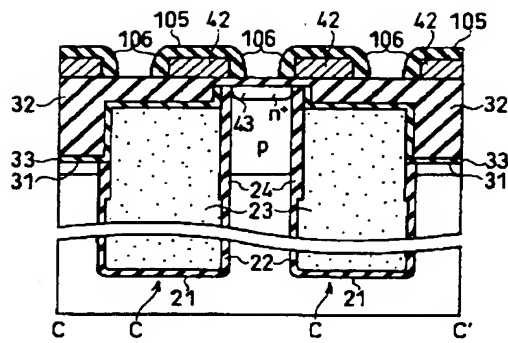
【図 23】



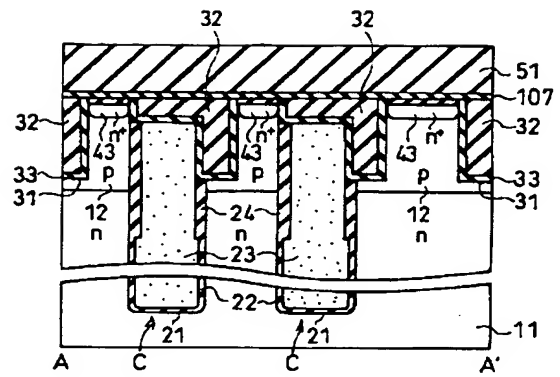
【図 24 A】



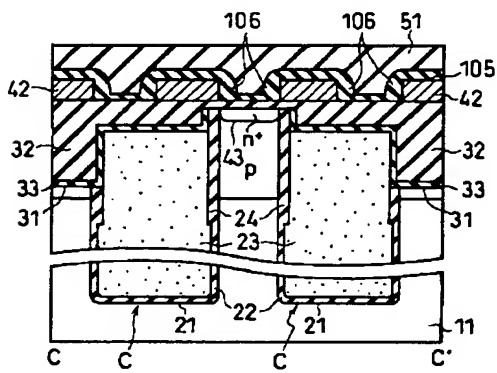
【図 2 4 B】



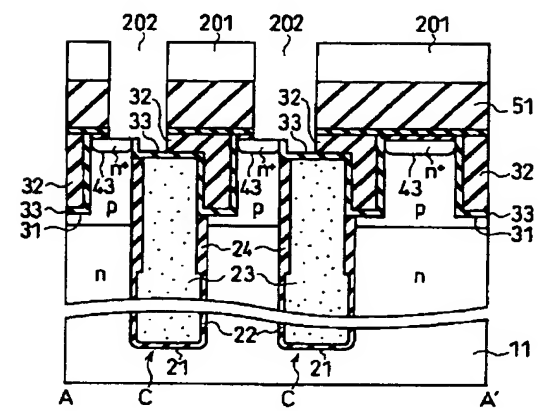
【図 2 5 A】



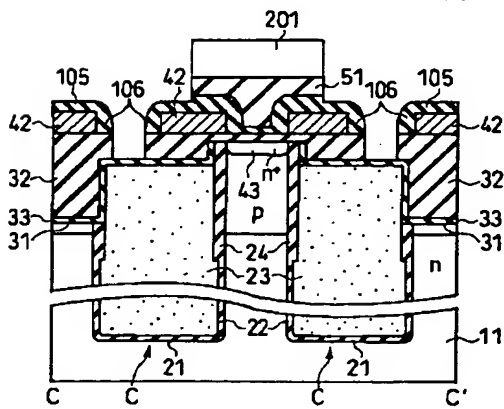
【図 2 5 B】



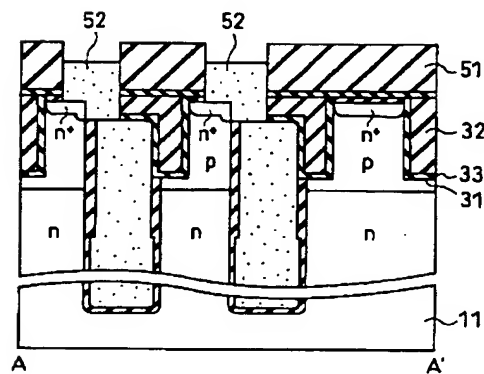
【図 2 6 A】



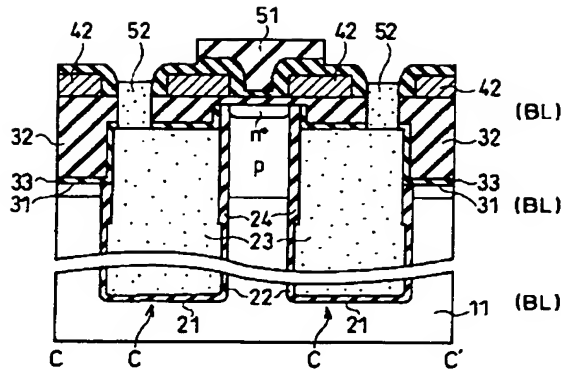
【図 2 6 B】



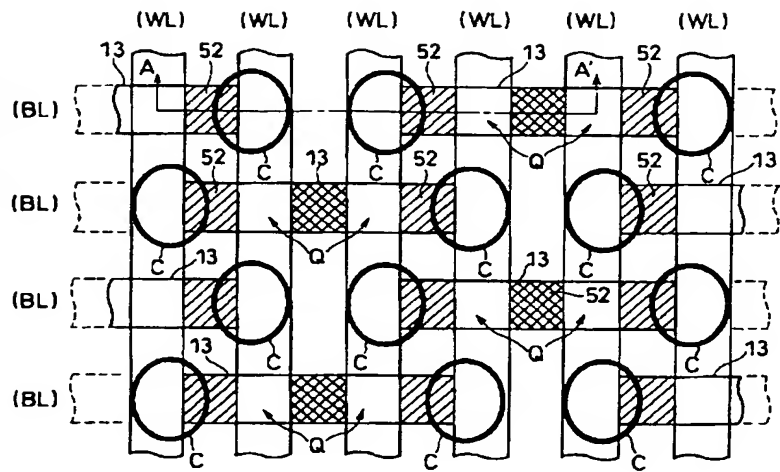
【図 2 7 A】



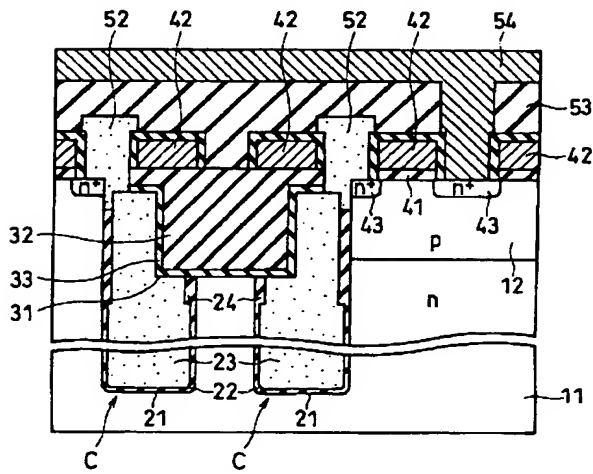
【図 27 B】



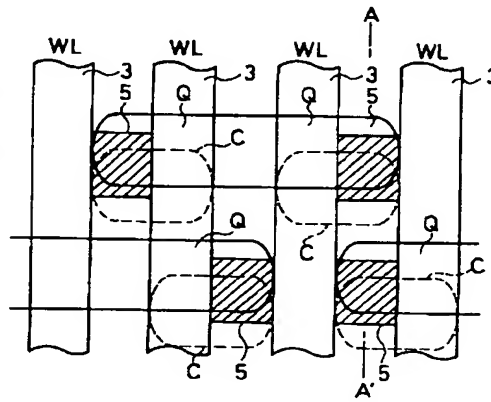
【図 28】



【図 29】



【図 30】



【図 31】

